

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 59-232464
 (43) Date of publication of application : 27.12.1984

(51) Int.CI. H01L 29/80
 H01L 21/28

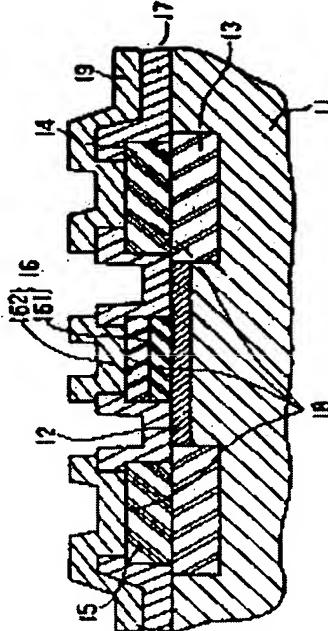
(21) Application number : 58-106799 (71) Applicant : HITACHI LTD
 (22) Date of filing : 16.06.1983 (72) Inventor : MORIMITSU HIROSHI
 KUROKAWA ATSUSHI

(54) COMPOUND SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent the variation of pinch-off voltage caused by an usual heat treatment in manufacturing process by forming a gate electrode out of two layers in which high-melting-point metal is used for the first layer of the substrate side and aluminum is used for the second layer.

CONSTITUTION: On a semiconductor substrate 11, a source electrode 14, a drain electrode 15 and a gate electrode 16 using Schottky barrier are arranged to form a Schottky barrier FET. The gate electrode 16 is formed out of two layers and for the first layer 161 on the substrate side, the high-melting-point metal using at least one selected out of molybdenum (Mo), tungsten (W), tantalum (Ta), niobium (Nb), hafnium (Hf), chromium (Cr) and titanium (Ti) is used, and for the second layer 162 on another side, aluminum is used. Consequently, a position of the Schottky barrier is fixed in the position when forming gate electrodes and is not moved by the heat treatment during the following manufacturing process thereby preventing variation of pinch-off voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭59-232464

⑫ Int. Cl.³
 H 01 L 29/80
 21/28

識別記号

厅内整理番号
 7925-5F
 7638-5F

⑬ 公開 昭和59年(1984)12月27日

発明の数 1
 著者請求 未請求

(全 3 頁)

⑭ 化合物半導体装置

⑮ 特 願 昭58-106799

⑯ 出 願 昭58(1983)5月16日

⑰ 発明者 森光廣

国分寺市東恋ヶ窓一丁目280番
 地株式会社日立製作所中央研究
 所内

⑱ 発明者 黒川敦

小平市上水本町1450番地株式会
 社日立製作所武藏工場内

⑲ 出願人 株式会社日立製作所

東京都千代田区神田駿河台4丁
 目6番地

⑳ 代理人 弁理士 中村純之助

明細書

1. 発明の名称 化合物半導体装置

2. 特許請求の範囲

(1) 半導体基板上にソース電極、ドレイン電極およびショットキバッファを用いたゲート電極を形成したショットキは界効果トランジスタを少なくとも有する化合物半導体装置であって、前記ゲート電極を2層に形成し、その基板側の第1層に高融点金属を、他の他の第2層にアルミニウム(Al)を用いたことを特徴とする化合物半導体装置。

(2) 特許請求の範囲1項に記載の化合物半導体装置において、第1層を形成する高融点金属として、モリブデン(Mo)、タンゲステン(W)、タンタル(Ta)、ニオブ(Nb)、ハフニウム(Hf)、クロム(Cr)、チタン(Ti)の群から選ばれた少なくとも一者を用いたことを特徴とする化合物半導体装置。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、半導体基板上に形成されるショットキは界効果トランジスタ(以下 MESFETと記す)において、熱的に安定でかつゲート抵抗の低いゲート電極を有するようにした化合物半導体装置に関するものである。

(発明の背景)

GeAs MESFETのゲート電極いわゆるショットキ電極に要求される性能のなかで代表的なものは、高耐熱性と低電気抵抗性である。GeAs半導体基板上の单層の金属電極では、これらの性能と共に満たすことは困難である。従来のAlゲート電極は、容易に蒸着でき、耐熱性も良く、かつ電気抵抗が低いことから、よく用られてきた。しかし、電子作成でゲート電極形成後に行われる熱処理工程、例えばSiO₂のCVD(化学蒸着法)プロセス時に基板加熱を受けると、AlがGeAs基板内に拡散し、ビンチャオフ電圧(V_D)がイオン打込みで設定した値から変動してしまう。そして、この運動量はイオン打込みのプロファイル等に關係し、電子作成上V_Dの再現は困難であった。また、このMESFET

特開昭59-232464(2)

を高溫で動作させた場合、その劣化現象が増大し、特性を劣化させるという問題があった。また、GaAs MESFET およびこれを主要構成要素とする GaAs IC (集積回路)において、実装の際に受けける熱處理による特性劣化を防ぐ必要があるという欠点があった。

〔発明の目的〕

本発明の目的は、上記した従来技術の欠点をなくし、その製造工程で受ける通常の熱処理によつてはビンチオフ電圧 V_p が変動することなく、熱的に安定かつ高信頼性を有し、しかもゲート抵抗の低いゲート電極を有する GaAs MESFET を提供することにある。

〔発明の構成〕

本発明は、上記目的を達成するため、ゲート電極を 2 層に形成し、その基板側の第 1 層に高融点金属を、第 2 層にアルミニウムを用いることが、その要点である。

高溫状態では、GaAs の半導体表面に被着された金属が半導体中へ拡散して、ショットキ障壁の位

置が半導体内部へ移動していく現象が知られている。そして、この拡散する量は金属の種別によって異なり、金(Au)、白金(Pl) 等は拡散開始温度が 350°C 以下の低者である。一方、遷移金属、例えばタンダステン(W)、タンタル(Ta)、ニオブ(Nb)、ハフニウム(Hf)、モリブデン(Mo)、チタン(Ti)、クロム(Cr) 等の高融点金属は、その拡散開始温度が比較的高いものが多い。このため、本発明のごとく、ショットキ障壁を形成する第 1 の金属層に上記した高融点金属を、第 2 の金属層に低抵抗の Al を用いれば、ショットキ障壁の位置がゲート電極形成時の位置に固定され、以降の製造工程中で受ける熱処理によって変動しないため、ビンチオフ電圧 V_p を制御しやすくなる。また、第 2 の金属層を形成する Al は電気伝導度が高いので、低抵抗のゲート電極を実現することができる。さらに、第 1 の金属層を形成する高融点金属は、Al が GaAs へ拡散するのを防ぐ遮蔽ハリケンとして働くため、熱処理に対して安定した電極となっている。また、Al は高融点金属に対して物

性が良いので、この 2 層膜はリフトオフを使って容易にゲート電極に形状加工することが可能である。

〔発明の実施例〕

以下、本発明の一実施例を説明する。第 1 図(a)は試作した GaAs 半導体基板中の GaAs MESFET の断面を示す断面図、同図(b)はその部分拡大図である。图において、11 は半導体側の GaAs 基板であり、これに Si イオンをイオン注入法によって注入し、800°C、20 分間アニュールし、活性層 12 を形成し、オーミック電極の直接接触膜を実現するためにその両側に p 層 13 を形成する。次に、ソース電極 14 とドレイン電極 15 として、AuGe(Ge 9 质量%)、Ni、Al の 3 層膜(膜厚の合計 3000 Å)を被着し、水素雰囲気中でアロイし、オーミック電極を形成する。さらに、ゲート電極 16 として、Mo 膜 161 を厚さ 500 Å、Al 膜 162 を厚さ 1000~2000 Å に、それぞれ電子ビーム露布法あるいはパッタ露布法によって被着する。なお、以下、二種類の材料の膜層を複数層 Mo/Al のどとく記述す

る。その後、層間絕縁膜 17 として、PSG 膜を厚さ 6000 Å に前記 CVD 法によって形成し、微細な部分に電極孔 18 をホトリソグラフィ技術によって形成する。最後に、第 2 層目の配線金属膜 19 として、例えば Ni/Au を約 1 μm の厚さに被着する。この間ゲート電極形成後の製造工程で 400°C の熱処理を受けるが、GaAs 中への Mo の拡散によって起るビンチオフ電圧 V_p の変動は測定されなかつた。

第 2 図は、ゲート電極に Mo/Al を用いた GaAs MESFET の、400°C での熱処理によるビンチオフ電圧 V_p の時間的な変動を測定した結果を示したものである。この図は、4 時間までの熱処理では V_p の変動は測定されず、GaAs 基板内へゲート電極の金属である Mo、Al が拡散していないことを示している。なお、ショットキダイオードの C-V 特性の測定からも、ゲート電極金属の拡散がないことが判明している。また、ゲート電極に Mo/Al のほか、W/Al、Hf/Al、Nb/Al、Ta/Al を用いた GaAs MESFET においても、同様に 400°C の熱

特開昭55-232464(3)

処理に対して安定した特性が得られた。

第3図は、Ti単層を用いたGaAs MESFETの、様々な温度での熱処理によるビンテオフ電圧 V_T の時間的変動を測定した結果を示したものである。この図から、350°Cより高溫では V_T の変動があることがわかる。そのため、耐熱性緩和部17の形成には、350°C以下でアラジン・Si₂N_x膜を用いる。その結果、Ti/AI膜のゲート電極16を用いて安定したGaAs MESFET特性を得ることができた。また、Cr/AI膜ゲート電極の場合も、同様な結果が得られた。

【発明の効果】

本発明によれば、GaAs MESFETおよびこれを主要構成要素とするGaAs ICにおいて、製造工程で受ける通常の熱処理ではビンテオフ電圧が変動することなく、しかもゲート抵抗の低いGaAs MESFETが得られるので、熱的に高信頼性を有する高速の素子を実現性よく製造することができる。

4. 図面の簡単な説明

第1回は本発明によるGaAs MESFETの一

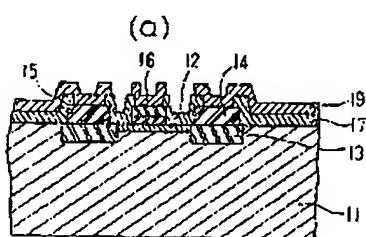
断面を示す断面図、第2回はその部分を大写し、第3回はゲート電極にMo/AIを用いたGaAs MESFETを400°Cで熱処理したときのビンテオフ電圧の時間的な変動を測定した結果を示す特性図、第3回はゲート電極にTiを用いたGaAs MESFETの、ビンテオフ電圧の変動の熱処理温度依存性を示す特性図である。

符号の説明

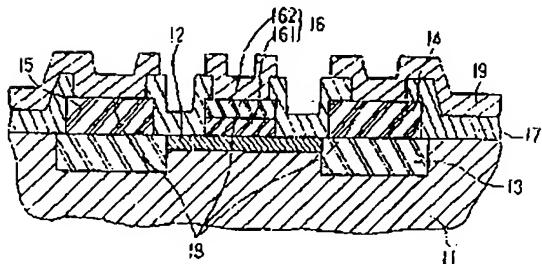
11…GaAs 基板	12…絶縁層
13…n ⁺ 層	14…ソース電極
15…ドレイン電極	16…ゲート電極
161…Mo膜	162…Al膜
17…耐熱性緩和部	18…電極孔
19…配線金属層	

代理人弁理士 中村 雄之助

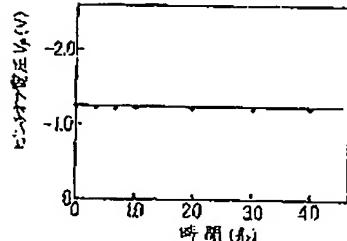
第1回



(b)



第2回



第3回

